

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-277018

(43)Date of publication of application : 09.12.1991

(51)Int.Cl.

H03K 21/40
H03K 3/286
H03K 3/289

(21)Application number : 02-078128

(71)Applicant : NEC CORP

(22)Date of filing : 27.03.1990

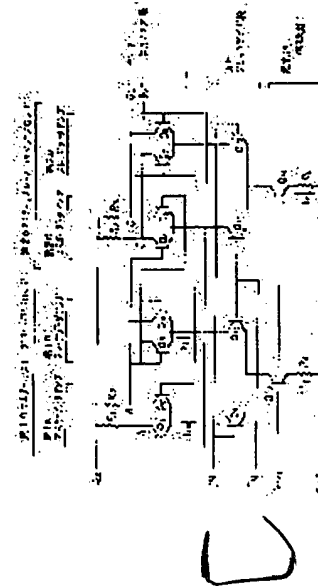
(72)Inventor : ISHII HIDEKAZU
KONDO TOYOO

(54) ECL FREQUENCY DIVIDING CIRCUIT

(57)Abstract:

PURPOSE: To suppress self-oscillation specific to a frequency dividing circuit while the difference of an input DC offset current is minimized by selecting the size of the emitter of a transistor(TR) through which a current for a slave amplifier is supplied to the size of a multiple of $(GO+1)/(GO-1)$ of the TR of a master amplifier or above.

CONSTITUTION: The size of the emitter of a TR through which a current for a slave amplifier is supplied in a middle-stage input clock amplifier stage is set to the size of a TR of a master amplifier of middle-stage input clock amplifier stage as a multiple of $(GO+1)/(GO-1)$ (GO is a DC gain of a data amplifier). Thus, the free-run operation of a frequency dividing circuit is suppressed without increasing number of components while the deterioration in the minimum input sensitivity and of the highest operating frequency characteristic is minimized.



⑫ 公開特許公報(A) 平3-277018

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月9日

H 03 K 21/40
3/286
3/289C 7125-5 J
F 8221-5 J
A 8221-5 J

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 ECL分周回路

⑯ 特 願 平2-78128

⑰ 出 願 平2(1990)3月27日

⑱ 発 明 者 石 井 英 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 今 藤 豊 生 山形県山形市北町4丁目12番12号 山形日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

ECL分周回路

2. 特許請求の範囲

1. 3段カスケード接続のT型またはD型フリップフロップで構成されたECL分周回路において、

中段入力クロックアンプ段のスレーブ側の電流を供給するトランジスタのエミッタサイズが中段入力クロックアンプ段のマスター側のトランジスタの $(G_0 + 1) / (G_0 - 1)$ 倍(G_0 はデータアンプのDCゲイン)に設定されていることを特徴とするECL分周回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は3段カスケード接続のT型またはD型フリップフロップで構成されたECL分周回路に関する。

(従来の技術)

従来、この種のECL分周回路に信号を入力し

ない(分周回路として使用しない)場合には、分周回路の自己発振動作による他の回路ブロックの誤動作を避けるためにスイッチ回路を挿入し同回路の電源、電流源をオフさせるか、それが不可能な場合には入力INと反転入力 \overline{IN} 間にフリーラン動作が行なわれない程度のDCオフセット電圧を常時加える必要がある。

このDCオフセット電圧を加える方法として従来は、例えば第3図のように、反転入力 \overline{IN} とGND間に抵抗 R_{10} を直接挿入したり、第4図のように、マスター側の電流を供給するトランジスタ Q_0 、 Q_{11} のエミッタに抵抗 R_7 、 R_8 をそれぞれ挿入し、入力オフセット相当分のマスター側、スレーブ側の電流差を付ける回路が使用されてきた。

なお、第4図、第5図において、抵抗 R_1 、 R_2 、トランジスタ Q_1 、 Q_2 は第1のマスターデータアンプのデータ出力アンプ段、抵抗 R_1 、 R_2 、トランジスタ Q_3 、 Q_4 は第1のスレーブデータアンプのデータ出力アンプ段、トランジス

タ Q_{10} 、 Q_{11} は第1のマスター、スレーブフリップフロップの入力クロックアンプ段、トランジスタ Q_{13} 、抵抗 R_5 は電流供給段をそれぞれ構成し、抵抗 R_3 、 R_4 、トランジスタ Q_5 、 Q_6 は第2のマスターデータアンプ段、抵抗 R_3 、 R_4 、トランジスタ Q_7 、 Q_8 は第2のスレーブデータアンプ段のデータ出力アンプ段、トランジスタ Q_{11} 、 Q_{12} は第2のマスター、スレーブフリップフロップの入力クロックアンプ段、トランジスタ Q_{14} 、抵抗 R_6 は定電流供給段をそれぞれ構成し、 V_{cc} は電源、 I_N 、 $\overline{I_N}$ は入力、 V_{ref} は基準電圧、 OUT 、 \overline{OUT} は出力、 I は電流を示し、トランジスタ Q_9 と Q_{10} 、 Q_{11} と Q_{12} のエミッタサイズは同じである。

(発明が解決しようとする課題)

上述した従来の、抵抗を挿入してフリーラン動作を抑える方法は、温度特性、電源電圧変動、ICのバラツキ等を考慮すると必要最小の入力オフセット電圧の数倍のオフセットを付ける必要がでてくるため、正常動作時(信号が入力されてい

る状態)にそのオフセット分最小入力感度および最高動作周波数特性の劣化が大きくなってしまいうという欠点がある。

本発明の目的は、入力DCオフセット電流の差を最小限にした状態で分周回路特有の自己発振動作を抑えられ、また低周波入力時の最小入力感度が大幅に改善されたECL分周回路を提供することである。

(課題を解決するための手段)

本発明のECL分周回路は、中段入力クロックアンプ段のスレーブ側の電流を供給するトランジスタのエミッタサイズが中段入力クロックアンプ段のマスター側のトランジスタの $(G_0 + 1) / (G_0 - 1)$ 倍(G_0 はデータアンプのDCゲイン)に設定されている。

(作用)

本発明は、入力クロックアンプ段のトランジスタそのもののサイズの比で入力オフセット相当分のマスター側・スレーブ側の電流差をつけることにより、素子数を増やすことなく最小入力感度・

最高動作周波数特性の劣化を最小限に抑えた状態で分周回路のフリーラン動作を抑えることができる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例であるTFF2分周回路の回路図である。

この回路は、第4図の従来の回路と回路構成は全く同じである。データ出力アンプ段のロジックレベルは $V_L = R_1 I_0$ で、 $R_1 = R_2 = R_3 = R_4$ である。

このTFF中で上段データアンプ段のマスターアンプとスレーブアンプの動作を別々に考え、無入力時にマスターアンプ側に流れる電流を I_{00} (一定)、スレーブアンプ側に流れる電流を I_{01} とする。また、出力ロジックレベル(V_L 、 V_{ref})でH状態時は1、L状態時に0で表わす。

今、点Aのレベルに初期値 X ($1/2 < X <$

1)が与えられた場合のマスターおよびスレーブ側の動作は以下のように表わされる。

まず、スレーブアンプは入-出力に正帰還をかけているために動作としてはXのレベルを完全にH(1)に収束しようとする力が働く。その時のXの変化率はデータアンプの時定数を τ_0 、同データアンプのDCゲインを G_0 とすると、以下の式に近似される。

Xの範囲が $1/2 < X \leq 1/2 + 1/2G_0$ の場合

$$\frac{dX(t)}{dt} \approx \frac{(X - 1/2)(G_0 - 1)}{\tau_0} \frac{I_{00}}{I_0} \dots \dots (1)$$

Xの範囲が $1/2 + 1/2G_0 \leq X < 1$ の場合

$$\frac{dX(t)}{dt} \approx \frac{(1 - X)}{\tau_0} \frac{I_{00}}{I_0} \dots \dots (2)$$

一方、マスター側の動作は前データC点、D点の電位のによって決定され、その変化率は下式の範囲内にある。

$$-\frac{X}{\tau_0} \frac{I_{00}}{I_0} \leq \frac{dX(t)}{dt} \leq +\frac{(1 - X)}{\tau_0} \frac{I_{00}}{I_0} \dots \dots (3)$$

ここで、前データC、D点電位にかかわらず常

にスレーブ側の動作がマスター側の動作により優位にたつXのレベルがあった場合、一度そのレベルに達したデータは反転することができなくなる。つまりフリーラン動作はせずに常にHまたはL状態にはりついてしまう。

式(1)、(2)よりスレーブ側のHへの変化率が最大となるXのレベルは $X = 1/2 + 1/2G_0$ で、その時のXの変化率は下式(4)で表わされる。

$$\frac{dX_{(s)}}{dt} [X = 1/2 + 1/2G_0] \approx \frac{(1/2 - 1/2G_0) I_{0s}}{\tau_0} \frac{I_{0s}}{I_0} \quad \dots (4)$$

次に、 $X = 1/2 + 1/2G_0$ 時のマスター側のLへの変化率の最大値は式(3)より

$$\frac{dX_{(m)}}{dt} [X = 1/2 + 1/2G_0]_{\max (L \text{ 方向})} \approx - \frac{(1/2 + 1/2G_0) I_{0m}}{\tau_0} \frac{I_{0m}}{I_0} \quad \dots (5)$$

つまりXがLに下がらないための必要条件は

換の換算値)は

$$V_{10} = \frac{KT}{q} \ln n \quad (\text{最小値}) \quad \dots (10)$$

で表わされる。

次に、この効果を例えば第4図のようにマスター側電流供給トランジスタのエミッタに抵抗を挿入した回路でマスター、スレーブ間の電流差を与えた場合抵抗 R_T の抵抗値は下式で表わされる。

$$R_T > \frac{2G_0}{(G_0 - 1)I_0} \frac{KT}{q} \ln n \times \alpha \quad \dots (11)$$

ここで、 α は、 R 、 I_0 、 G_0 の温度特性、電源電圧変動、ICのバラツキ等に対する補正係数で、 $\alpha > 1$ となる。

この場合のDCオフセット分の最小値は

$$V_{10} = \frac{G_0 \alpha}{G_0 - 1} \frac{KT}{q} \ln n \quad \dots (12)$$

で表わされ、本発明のDCオフセット分に対し、

$\frac{G_0 \alpha}{G_0 - 1}$ 倍のDCオフセットがかかることになる。

$$\frac{dX_{(s)}}{dt} + \frac{dX_{(m)}}{dt} \approx \frac{(1/2 - 1/2G_0) I_{0s}}{\tau_0 I_0} - \frac{(1/2 + 1/2G_0) I_{0m}}{\tau_0 I_0} > 0 \quad \dots (6)$$

$$\frac{I_{0m}}{I_{0s}} > \frac{G_0 - 1}{G_0 + 1} \quad \dots (7)$$

となる。

よってトランジスタのエミッタサイズの比 n で表わすと

$$n > \frac{G_0 - 1}{G_0 + 1} \quad \dots (8)$$

式(8)でTFF、DFFのデータアンプ段のDCゲイン G_0 は通常 $G_0 = 2 \sim 4$ 程度に設定されるため、スレーブ側の電流供給トランジスタのエミッタサイズを同マスター側のサイズに対して

$$n > \frac{5}{3} \sim 3 \quad [\text{倍}] \quad \dots (9)$$

に設定すればフリーラン動作を抑えることができる。

この場合のDCオフセット(電流差-電圧差変

次に、本実施例の回路による第2の利点を説明する。

第6図にフリーラン抑制回路の入っていない第5図に示される従来のTFF回路の分周動作範囲(②の部分)と本実施例による第1図TFF回路の分周動作範囲(③の部分)を示す。

ここで、中・高周波領域では前述したように入力オフセット分だけ最小入力感度特性が劣化することになるが、低周波領域での最小入力感度特性は本実施例の回路により大幅に改善される。

これは低周波領域では入力クロックのスルーレート時に第5図中第1のマスターアンプと第2のマスターアンプが同時に能動状態に入り、前データを保持できなくなる、つまりマスターアンプがオン状態の時に2回反転してしまう現象により動作限界が制限されているわけだが、第1図のTFF回路では、第1、第2のマスターアンプをスレーブアンプに対してオンしにくくさせているため、第1、第2のマスターアンプが同時に能動状態に入る時間を短くする効果がある。

また、単純に考えると本実施例の回路はエミッタサイズを大きくした分だけ電流密度が小さくなり f_T が下がるため、前述した高周波領域での特性の劣化はDCオフセット分による劣化以上に大幅に劣化してしまうと考えてしまうが、一般的にECL分周回路の高速動作を決定する要因はトランジスタの f_T そのものよりもデータ出力段の出力負荷時定数による遅延の影響が大きいため、入力クロックアンプの周波数特性の劣化がそのまま分周回路の高速動作を制限することはない。

第2図は本発明の第2の実施例であるDFFの回路図である。

本実施例は、第1図に示した実施例に対しデータ入力を前段回路から受け取り出力を後段回路に接続させたDFF回路の例であり、動作としては第1図の例と同様に考えると、入力が無入力の場合には前回路からのデータにかかわらず出力はHかきに一定となる効果がある。

(発明の効果)

以上説明したように本発明は、ECL分周回路

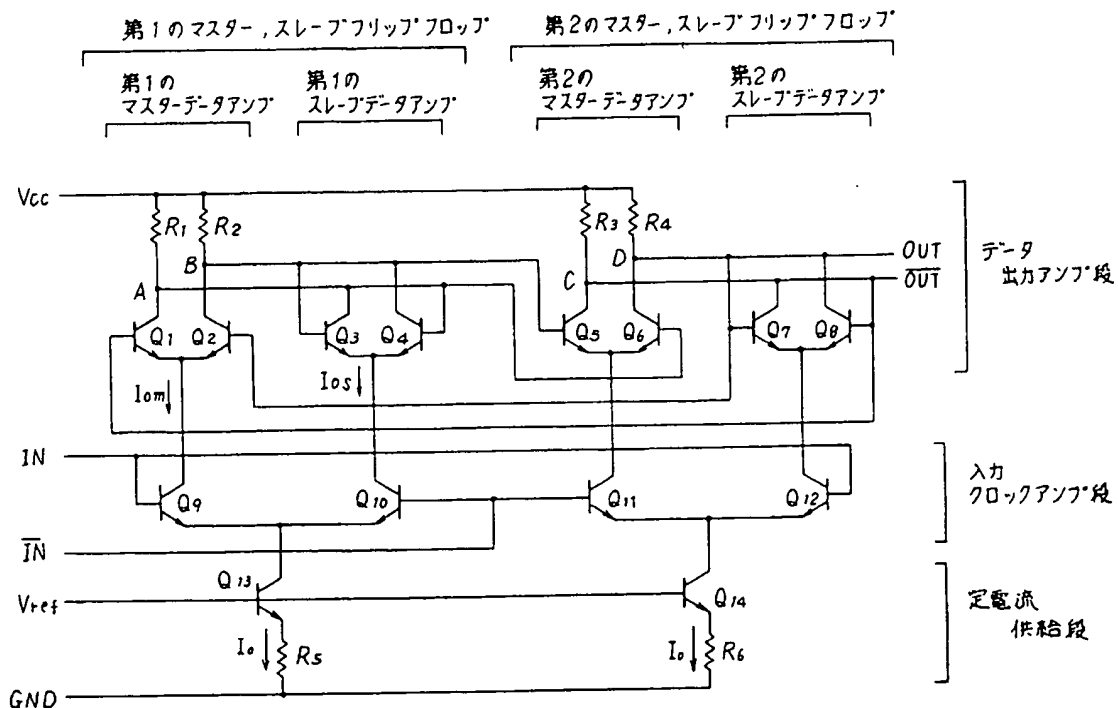
中のスレーブアンプの電流を供給するトランジスタのエミッタサイズを同マスターアンプ側のトランジスタの $(G_0 + 1) / (G_0 - 1)$ 倍(G_0 はデータアンプのDCゲイン)以上にすることにより、入力DCオフセット電流の差を最小限にした状態で分周回路特有の自己発振動作を抑えることができ、また低周波入力時の最小入力感度を大幅に改善できるという2つの効果がある。

4. 図面の簡単な説明

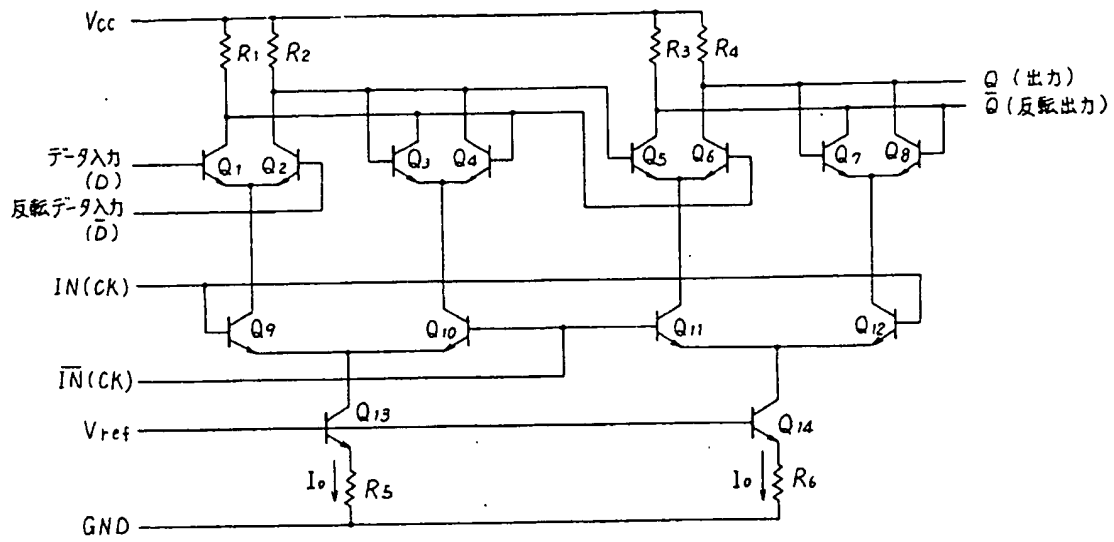
第1図は本発明の第1の実施例を示すTFF回路の回路図、第2図は本発明の第2の実施例を示すDFF回路の回路図、第3、4図は従来のフリーラン抑制回路付のTFF回路の回路図、第5図はフリーラン抑制していない従来のTFF回路の回路図、第6図は感度特性を示す図。

$R_1, R_2, \dots, R_{13}, \dots$ 抵抗、
 $Q_1, Q_2, \dots, Q_{14}, \dots$ トランジスタ。

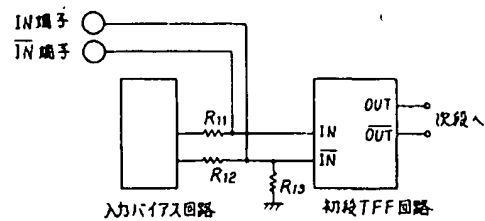
特許出願人 日本電気株式会社
 代理人 弁理士 内原 晋



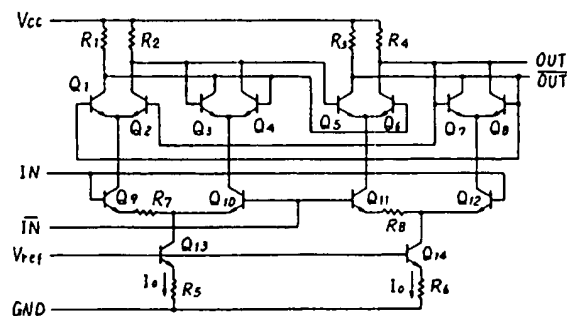
第1図



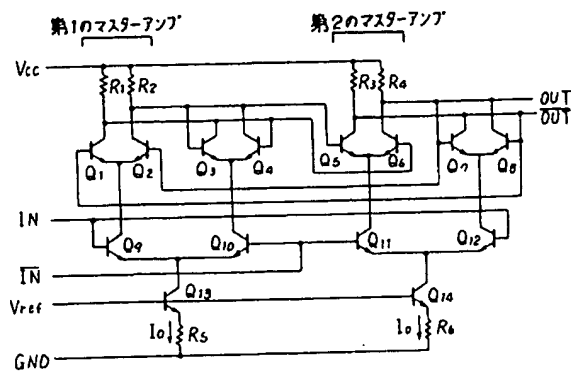
第2図



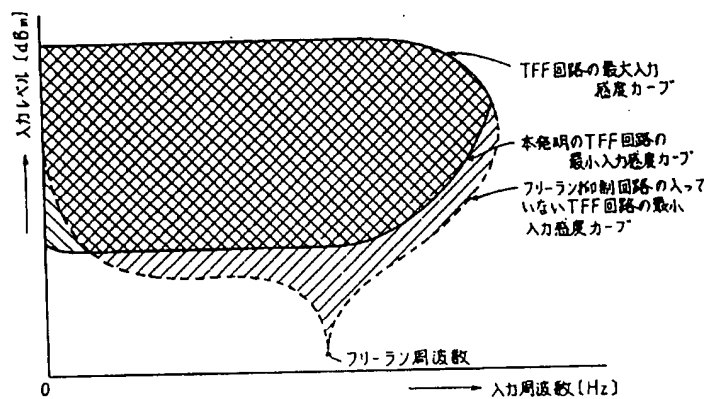
第3図



第4図



第5図



第6図